

Entwurf und Verifikation von System-on-Chips – Effizient mit Model-based Design

Die Herausforderung bei der Entwicklung komplexer Systeme für Mehrkernprozessoren auf System-on-Chip FPGAs und ASICs ist ein integrierter Workflow, der sowohl die Implementierung von Software auf Prozessoren und GPUs als auch die Hardwareimplementierung auf FPGAs oder ASICs unterstützt. Dies wird möglich in einem modellbasierten Ansatz, in dem das System mit seinen SW- und HW-Anteilen in einer einheitlichen Sprache dargestellt ist. Die parallele Entwicklung von SW- und HW-Komponenten beschleunigt den Entwicklungsprozess und erlaubt gleichzeitig eine Optimierung der Partitionierung im Laufe der Verfeinerung des anfänglichen Modells. Zugleich kann frühzeitig mit der Verifikation begonnen werden und mögliche Fehler werden beseitigt, bevor sie zu einem teuren Re-Design führen.

Die Verifikation von komplexen Systemen gestaltet sich im Model-based Design deutlich einfacher, da hier alle Komponenten und deren Integration in einer gemeinsamen Darstellungsform vorliegen und simuliert werden können. So kann das Testen über Komponenten hinaus sehr einfach auf die Systemebene erweitert werden, oder umgekehrt von Systemtests ausgehend noch fehlende Testsituationen für einzelne Komponenten ergänzt werden, so dass vollständige Testabdeckungen erreicht werden.

Darüber hinaus besteht bei Vorliegen des Systems in einer Darstellungsform die Möglichkeit, HW/SW-übergreifende Analysemethoden zu verwenden, wie z.B. Untersuchungen zur Erreichbarkeit von Systemszenarien, automatische Testfallgenerierung, Beweis der Abwesenheit von Laufzeitfehlern wie Überläufe, bis hin zur Formalen Verifikation von Anforderungen durch Model Checking.

Wichtig ist bei dieser Vorgehensweise die Absicherung der SW/HW-Codegenerierung, Compiler bzw. Synthese, damit die Verifikationsergebnisse auf die Endprodukte übertragbar sind. Neben Methoden der strukturellen Überprüfung der Ergebnisse dient hier vornehmlich der Vergleichstest zwischen dem Modell und dem generierten Code, bzw. der Netzliste bei sehr hohem Grad an struktureller Testabdeckung der Absicherung. Hierbei können bereits die Zielhardware bzw. der Zielprozessor für die Ausführung verwendet werden.

In diesem Beitrag erfahren Sie, wie Sie einen effizienten Entwicklungsprozess sowohl in traditioneller als auch agiler Vorgehensweise mit optimaler Partitionierung der SW- und HW-Komponenten erreichen. Hierbei können Sie die Vorteile der integrierten Validierung und Verifikation auf dem Rechner nutzen, um frühzeitig Fehler zu vermeiden und gleichzeitig die Laborkosten zu reduzieren – insbesondere im Kontext von DO-178C / DO-254.